

Translation of Certified Priority Document

U.S. PRO
JC986 09/987999
11/16/01
#2 CFS
10/0

**BOARD OF INDUSTRY, TRADE AND HANDICRAFT
GENERAL MANAGEMENT OF INDUSTRIAL PRODUCTION
ITALIAN PATENT AND TRADEMARK OFFICE**

Authentication of copy of documents relating to patent application for Industrial Invention

N. TO2000 A 001117

We declare that the attached copy is a true copy of the original documents filed with the above mentioned patent application, the data of which appear from the attached filing form.

Rome, MAY 29, 2001

Seal stamp

DIVISION DIRECTOR
Eng. DI CARLO
(signature)

TO THE BOARD OF INDUSTRY, TRADE AND HANDICRAFT

ITALIAN PATENT AND TRADEMARK OFFICE - ROME

APPLICATION FOR INDUSTRIAL INVENTION PATENT, RESERVE FILING, ADVANCED ACCESSIBILITY BY THE PUBLIC

MODEL A

A. APPLICANT (S)

1) Denomination Alcatel
Residence Paris (France) code

N.G.

B. REPRESENTATIVE OF THE APPLICANT BY I.P.T.O.

surname name CROVINI Giorgio fiscal code
name of the office Metroconsult S.r.l.
street Piazza Cavour n. 3 town None post code 10060 prov. TO

C. DOMICILE OF CHOICE addressee:

street n. town post code prov.

D. TITLE proposed class (sec./cl./subcl) group / subgroup

"Improved interface system for synchronous hierarchy telecommunications networks"

ACCESSIBILITY IN ADVANCE FOR THE PUBLIC: YES NO (X)

IF PETITION: DATE

RECORD NO.:

E. DESIGNATED INVENTORS surname name

surname name

1) TRAVERSO Giovanni 3) RAZZETTI Luca
2) PAIS GOLIN Orsola 4) BIANCHI Lucia

annexe

F. PRIORITY

nation or organization priority type application number filing date S/R

RESERVE DISSOLUTION
Date Protocol no.

G. CENTER DEPUTED TO THE CULTURE OF MICRO-ORGANISM, denomination

H. SPECIAL NOTES

ATTACHED DOCUMENTATION

NO. of ex.

Doc. 1)	2	PROV. no . pag.	[19]	abstract with main drawing, description and claims (compulsory 1 exemplar)
Doc. 2)	2	PROV no. draw	[03]	drawing (compulsory if mentioned in the description, 1 exemplar)
Doc. 3)	0	RIS X		power of attorney, general power or reference to general power
Doc. 4)		RIS		inventor designation
Doc. 5)		RIS		priority document with italian translation
Doc. 6)		RIS		authorization or deed of assignment
Doc. 7)				complete name of applicant

RESERVE DISSOLUTION
Date Protocol no.

compare single priorities

8) payment receipt, total liras FIVE HUNDRED SIXTYFIVE THOUSAND

compulsory

TYPED ON 30/11/2000

SIGNATURE OF APPLICANT (S)

Metroconsult S.r.l.
The Representative - Eng. Giorgio Crovini (registered italian attorney No. 857B)

(signature)

TO BE CONTINUED YES / NO YES

CERTIFIED COPY OF THE PRESENT CERTIFICATE IS REQUESTED YES / NO YES

C.C.I.A.A.

TURIN

code 01

FILING REPORT APPLICATION NUMBER TO 2000A 001 117

Reg.A

In the year TWO THOUSAND on day THIRTY of the month of NOVEMBER

The above mentioned applicant (s) has (have) submitted to me the present application formed by no. additional sheets for the grant of the aforesaid patent

I. VARIOUS NOTES OF DRAWING UP OFFICER

FILING PARTY
SIGNATUREOffice
seal

DRAWING UP OFFICER

signature

ADDITIONAL SHEET n. 01 of totals 01

APPLICATION N. TO 2000 A 001117

MODEL A ADDITION
REG. A

A. APPLICANT (S)

Denomination	code
Residence	
Denomination	code
Residence	
Denomination	code
Residence	
Denomination	code
Residence	
Denomination	code
Residence	
Denomination	code
Residence	
Denomination	code
Residence	

N.G.

E. DESIGNATED INVENTORS

surname name	surname name
--------------	--------------

05 MAGGIO Santo

F. PRIORITY

nation or organization	priority type	application number	filng date	annexe S/R
------------------------	---------------	--------------------	------------	---------------

RESERVE DISSOLUTION	
Date	Protocol no.

SIGNATURE OF APPLICANT (S) Metroconsult S.r.l.
The Representative - Eng. Giorgio Crovini (registered italian attorney No. 857B)
(signature)

RESERVED SPACE TO THE CENTRAL PATENT OFFICE



MINISTERO DELL'INDUSTRIA, DEL COMMERCIO E DELL'ARTIGIANATO
DIREZIONE GENERALE DELLA PRODUZIONE INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI



6
09/60 987999
11/16/01
US PRO
JC986

Autenticazione di copia di documenti relativi alla domanda di brevetto per Invenzione Industriale
TO2000 A 001117
N.

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

*Si dichiara che l'unità copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito*

29 MAG 2001

R. IL DIRETTORE DELLA DIVISIONE

SIG. DI CARLO

M. G. Erba

FOGLIO ACCIUNTIVO n. 01 di totali 01

.OOGLANDA N.

TO 2000A 001 : 17

-116-

A. -RICHIEDENTE (1)

<input type="checkbox"/> Denominazione	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Residenza	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Denominazione	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Residenza	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Denominazione	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Residenza	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Denominazione	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Residenza	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Denominazione	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Residenza	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Denominazione	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Residenza	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Denominazione	[REDACTED]	edito	<input type="checkbox"/>
<input type="checkbox"/> Residenza	[REDACTED]	edito	<input type="checkbox"/>

6. INVENTORI DEGRADATI

• corporate culture

[05] \MAGGIO_Santo

• 4 pages •

100

144

1

1

1 2 3 4 5 6 7 8

1

SCIoglimento riserve

Date **No Protocols**

FRAMA DEL 03 DICEMBRE 2018

Il Mandatario - Ing. Giorgio Crovini

Gusko 6/1

SPAZIO RISERVATO ALL'UFFICIO CENTRALE BREVETTI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO COMANDA

NUMERO BREVETTO

REG. G.

DATA DI DEPOSITO

DATA DI RILASCHIO

10/10/2000

10 NOV. 2000

C. TITOLO

Interfaccia perfezionata per reti di telecomunicazione a gerarchia sincrona.

L. RIASSUNTO

Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona, in particolare reti SDH, del tipo che provvede una funzione di backpanel ad alta frequenza, detto sistema comprendendo almeno una scheda centrale (CM, CB1, CB2) e una o più schede periferiche di ingresso/uscita (PD) atte a scambiarsi trame di dati (TRM1, TRM2, TRU1, TRU2) e bytes di controllo (A1, A2, SY, H4, L). Secondo l'invenzione si ha che dette trame di dati (TRM1, TRM2, TRU1, TRU2) contengono detti bytes di controllo (A1, A2, SY, H4, L) e che dette trame di dati TRM1, TRM2, TRU1, TRU2 sono convertite in maniera bitweise prima di essere scambiate fra le schede periferiche (PD) e la scheda centrale (CM, CB1, CB2)

M. DISEGNO

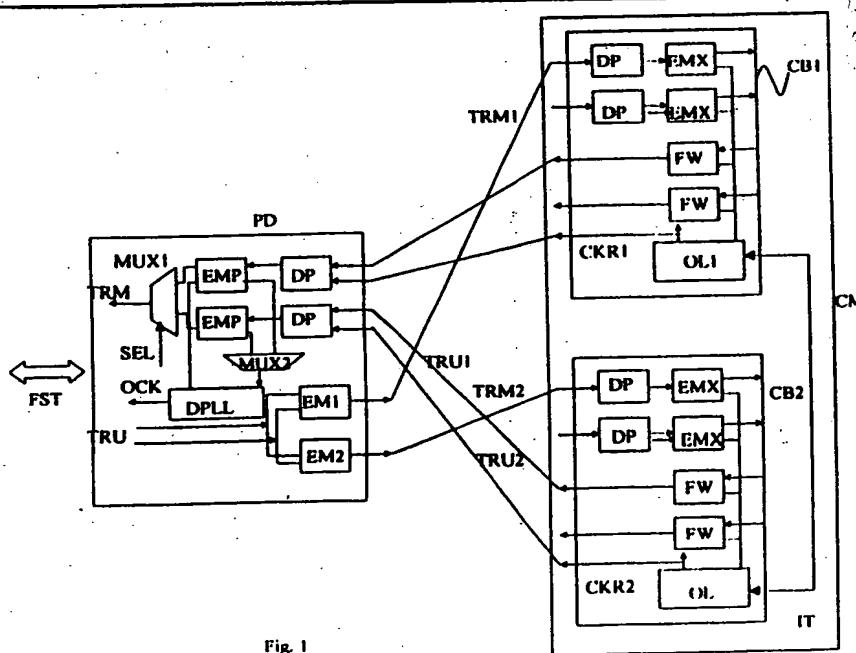


Fig. 1

Descrizione dell'invenzione industriale dal titolo:

- 131.130 -

**"INTERFACCIA PERFEZIONATA PER RETI DI TELECOMUNICAZIONE
A GERARCHIA SINCRONA"**

di ALCATEL, di nazionalità francese, con sede in 54 Rue La Boétie, 75008 Parigi,
ed elettivamente domiciliata presso il Mandatario Ing. Roberto Dini, presso
Metroconsult S.r.l, piazza Cavour 3, 10060 None (TO).

Inventori designati: Giovanni TRAVERSO, via Ciliegio, 4, Rovagnate (LC)

Orsola PAIS GOLIN, via Carducci, 3, Auronzo di Cadore (BL)

Luca RAZZETTI, via Campari, 62. Sesto S. Giovanni (MI)

Lucia BIANCHI, Via Moretto da Brescia 32, 20133 Milano

Santo MAGGIO via E.Mattei 56, 20064 Gorgonzola

Depositata il **30 NOV. 2000** No. **T0 2000A 001117**

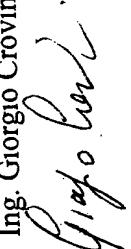
DESCRIZIONE

La presente invenzione si riferisce ad un sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona , in particolare reti SDH, del tipo che provvede una funzione di backpanel ad alta frequenza, detto sistema comprendendo almeno una scheda centrale e una o più schede periferiche di ingresso/uscita atte a scambiarsi trame di dati e bytes di controllo.

Le reti di telecomunicazione a gerarchia sincrona, in particolare reti SDH (Synchronous Digital Hierarchy), per l'interfacciamento di periferiche di input/ouput a nodi, per esempio ADM, necessitano un interfaccia cosiddetta 'backpanel', che metta in comunicazione la scheda della periferica di input/ouput con la scheda centrale della matrice di connessione, detta anche gergalmente 'switch'.

Nell'arte nota ciò viene implementato realizzando sulla matrice di connessione interfacce backpanel a componenti passivi, le quali ricevono dalla periferica di

Ing. Giorgio Crovini



input/output N fili relativi all'informazione o payload, nonché ulteriori n fili relativi a segnalazioni.

Ciò determina degli inconvenienti in quanto l'interfaccia backpanel, in presenza di un numero così elevato di fili, deve essere fisicamente realizzata tramite un elevato numero di strati, creando dei problemi di progetto e di integrazione.

L'informazione in ingresso alla matrice di connessione, inoltre, necessita di venire demultiplata, così come necessita di essere multiplata in uscita da detta matrice di connessione. Ciò comporta un grosso carico computazionale per la matrice di connessione stessa, da cui derivano un consumo elevato e una rilevante complessità del software d'elaborazione.

La presente invenzione si propone di risolvere gli inconvenienti sopra citati e di indicare un sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona che sia di realizzazione migliorata, e più efficiente rispetto alle soluzioni note.

In tale ambito, scopo principale della presente invenzione è quello di indicare un sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona che diminuisca sostanzialmente il numero di connessioni fra periferiche d'ingresso uscita e matrici di connessione.

Un ulteriore scopo della presente invenzione è quello di indicare sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona che riduca il carico computazionale e i consumi della matrice di connessione.

Per raggiungere tali scopi, forma oggetto della presente invenzione un sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona, incorporante le caratteristiche delle rivendicazioni indicate, che formano parte integrante della presente descrizione.

Ing. Giorgio Crovini
Giorgio Crovini

Ulteriori scopi, caratteristiche e vantaggi della presente invenzione risulteranno chiari dalla descrizione particolareggiata che segue e dai disegni annessi, forniti a puro titolo di esempio esplicativo e non limitativo, in cui:

- in figura 1 è riportato uno schema a blocchi di principio di un sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo l'invenzione;
- in figura 2 è riportato uno schema di dettaglio di una prima parte del sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo l'invenzione;
- in figura 3 è riportato uno schema di dettaglio di una seconda parte del sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo l'invenzione;

L'interfaccia perfezionata per reti di telecomunicazione secondo l'invenzione adotta una pluralità di soluzioni il cui scopo è di diminuire la complessità dei circuiti sulal scheda della matrice di connessione, spostando detta complessità sul protocollo e sulle interfacce di ingresso-uscita.

In figura 1 è rappresentato uno schema di principio dell'interfaccia perfezionata per reti di telecomunicazione secondo l'invenzione, che comprende una matrice di connessione CM, la quale comprende due schede centrali CB1 e CB2, che operano secondo il principio della protezione 1+1. Inoltre, è rappresentata una di molte schede periferiche PD, in particolare una periferica di ingresso-uscita, connesse alla matrice di connessione CM, le cui schede centrali CB1 e CB2 operano da 'master', mentre le diverse schede periferiche PD operano da 'slave', cioè asservite. Le schede centrali CB1 e CB2, perciò, distribuiscono il segnale d'orologio e il sincronismo, mentre le schede periferiche DP ricevono il segnale d'orologio e i dati dalle schede

Ing. Giorgio Crovini
Geppi Landi

master e trasmettono dati alle schede master stesse.

In figura 1, infatti, un flusso di dati FST, ad esempio un flusso STM4 a 622,08 Mb/s, è illustrato in ingresso e in uscita da una scheda periferica PD, la quale, come accennato, funge da interfaccia di ingresso/uscita verso la matrice di connessione CM, la quale, come detto, è realizzata per mezzo di due schede centrali CB1 e CB2, sostanzialmente identiche, che implementano una cosiddetta funzione di protezione 1+1, in modo che si possa supplire ad un'avarie improvvisa di una di dette due schede centrali CB1 e CB2, commutando il traffico sulla scheda superstite.

In ingresso al flusso FST la scheda periferica PD presenta due memorie elastiche EM1 e EM2, in modo da compensare eventuali offset o latenze. In uscita da dette memorie elastiche EM1 e EM2 vengono inviate delle rispettive trame di dati TRM1 e TRM2 verso le schede centrali CB1 e CB2.

Ciascuna scheda centrale CB1 o CB2 comprende in ingresso un allineatore di fase DP, cui segue una memoria elastica EMX. Detta memoria elastica EMX serve opportunamente a compensare tolleranze e differenti ritardi di connessione sulla connessione fra le schede centrali CB1 e CB2 master, e la scheda periferica PD. A valle della memoria elastica EMX si trova una matrice di connessione standard, ad esempio un nodo ADM, non illustrato qui per semplicità.

Dalla matrice di connessione CM poi ciascuna scheda centrale CB1 è atta a trasmettere delle trame d'uscita TRU1 e TRU2 per mezzo di blocchi di inserimento delle parole di allineamento di trama FW.

Ciascuna scheda centrale CB1 o CB2 comprende poi un orologio di riferimento, rispettivamente OL1 e OL2, il quale opera a 622,08 MHz, e fornisce un cronosegnale di riferimento, rispettivamente CKR1 e CKR2, alle memorie elastiche EMX, ai blocchi di inserimento delle parole di allineamento di trama FW, nonché alla scheda

Ing. Giorgio Crovini
G. Crovini



periferica PD, in particolare a degli apparati allineatori di fase DP, contenuti in detta scheda periferica PD, che ricevono le trame in uscita TRU1 e TRU2.

Gli allineatori di fase DP della scheda periferica PD sono seguiti a valle da rispettive memorie elastiche EMP, le cui uscite sono inviate a un multiplexer MUX1, il quale seleziona i dati in uscita dalla scheda centrale CB1 o CB2, in base a un segnale di selezione SEL, secondo uno schema di protezione ‘hitless’, cioè senza interruzione del traffico, che sarà meglio illustrato più avanti. mentre è previsto un multiplexer MUX2 per selezionare il segnale di orologio CKR1 o CKR2 e fornire un segnale di orologio di sistema OCK tramite un opportuno circuito ad aggancio di fase DPLL.

Infine, si deve osservare che gli orologi locali OL1 e OL2 delle rispettive schede centrali CB1 e CB2, al fine di implementare la sopra menzionata protezione ‘hitless’, si scambiano un’informazione temporale IT, il cui contenuto verrà meglio illustrato più avanti, ma la cui funzione è di rendere i segnali di orologio CKR1 e CKR2 interdipendenti.

In figura 2 è rappresentato in maggior dettaglio lo schema a blocchi della scheda periferica PD di ingresso/uscita.

La scheda periferica PD comprende in ingresso un blocco di memoria MSA, il quale svolge usualmente una funzione standard di Section Adaptation, ma è in questo caso impiegato per fornire l’allineamento iniziale di trama quando il sistema matrice di connessione-periferiche inizia ad operare, e per assorbire le variazioni di fase che si dovessero originare, in seguito, nella posizione della parola di allineamento di trama a causa di fenomeni di jitter o wander. A valle di detto blocco di memoria MSA sono posizionata le memoria elastiche EM1 e EM2 per la trasmissione, costituite ad esempio da buffer di 36 bytes di profondità. A valle delle memorie elastiche EM1 e EM2 sono disposti rispettivi dispositivo serializzatori PS, i quali effettuano una

Ing. Giorgio Crovini

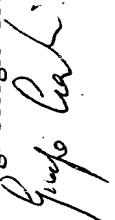

conversione da parallelo a seriale dei bit della trama in ingresso, disponendo cioè in maniera bitwise le trame TRM1 e TRM2. La scheda periferica PD per ricevere i dati contenuti nelle trame d'uscita TRU1, TRU2, presenta invece una disposizione circuitale comprendente un allineatore di fase DP, un dispositivo parallelizzatore SP che effettua la conversione dei bit da seriale a parallelo, un circuito allineatore di trama AFW, a valle dei quali sono posizionate le memorie elastiche EMP.

Le memorie elastiche EMP sono pilotate dal rispettivo segnale d'orologio CKR1 o CKR2 e da un segnale di sincronismo emesso dal circuito allineatore di trama AFW. Ciascuna memoria elastica EMP invia un informazione sulla fase di lettura F1 o F2 a un multiplexer MUX2, che fornisce in uscita un errore di fase EF a un circuito di aggancio di fase digitale DPLL. Detto circuito di aggancio di fase digitale DPLL riceve in ingresso come riferimento l'uscita del multiplexer MUX2, cioè il segnale di orologio CKR1 o CKR2, come selezionato attraverso un segnale di selezione SEL, che definisce quale scheda centrale fra la CB1 e la CB2 sia attiva e la cui generazione sarà illustrata in seguito.

Il circuito di aggancio di fase digitale DPLL fornisce in uscita un segnale di orologio del sistema OCK, cioè il segnale di orologio del circuito ASIC comprendente la matrice di connessione e associato al flusso FST in uscita, il quale è agganciato al segnale di orologio CKR1 o CKR2 attivo al momento e corretto rispetto agli eventuali errori di fase fra le trame TRU1 e TRU2.

Dopo il passaggio attraverso le memorie elastiche EMP, la selezione fra le trame TRU1 e TRU2 viene effettuata a mezzo del multiplexer MUX1, pilotato dal segnale di selezione SEL, che fornisce in uscita il segnale dati per il flusso FST.

Le memorie EMP forniscono inoltre un segnale di sincronismo SY, rispettivamente SY1 e SY2, a un multiplexer MUX3, il quale è anch'esso comandato dal segnale di

Ing. Giorgio Crovini


selezione SEL. L'uscita del multiplexer MUXC3 comanda quindi un contatore di offset OCNT, che misura l'eventuale sfasamento dell'allineamento di trama e, mediante il blocco di memoria MSA, effettua il riallineamento delle trame TRM1. TRM2.

In figura 2 è infine rappresentata una macchina a stati logici MS, che valuta il valore da attribuire al segnale di selezione SEL, che essa stessa genera. Il suo funzionamento sarà descritto più avanti.

In figura 3 è invece rappresentata la scheda CB1 della matrice di connessione CM. Ivi, la trama TRM1 viene ricevuta da un allineatore di fase DP, che è governato dal segnale d'orologio di riferimento CKR1. Un dispositivo parallelizzatore SP riconverte la trama eliminando la disposizione bitwize, mentre un rotatore ROT2, comandato da un allineatore di trama AFW, opera l'allineamento in base alle parole di allineamento di trama. Il dispositivo parallelizzatore PS è controllato da un segnale d'orologio diviso CKD ottenuto dividendo per otto tramite un apposito divisore DIV8, il segnale d'orologio di riferimento CKREF1. Il segnale d'orologio diviso comanda anche un opportuno contatore di scrittura CNTW, che pilota la fase di scrittura nella memoria elastica EMX. La trama TRM1, letta dalla memoria elastica EMX tramite un contatore di lettura CNTR pilotato dal segnale diviso CKD, quindi può procedere verso un cuore della matrice MCO.

Viceversa i dati TRU1 provenienti dal cuore della matrice MCO sono serializzati tramite un dispositivo serializzatore PS, pilotato dal segnale diviso CKD e inviati alla scheda periferica PD.

Lo schema di ricevitore sopra descritto a valle dell'allineatore di fase DP, può anche essere replicato per il ricevitore della scheda periferica PD illustrata in figura 2.

Si descrivono ora i formati delle trame TRM1 e TRM2 secondo il sistema di

Ing. Giorgio Crovini
Giorgio Crovini

interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo l'invenzione.

Struttura di multiplazione

Le trame di dati TRM1 e TRM2 fra la scheda periferica PD e le schede centrali CB1 o CB2 sono ottenute tramite un'operazione di multiplazione 'bitwise' o per bit di quattro trame STM-1. Ad esempio dalle quattro trame STM1 di tabella 1:

STM1 #0	A4	A5	A6	A7	A0	A1	A2	A3
STM1 #1	B4	B5	B6	B7	B0	B1	B2	B3
STM1 #2	C4	C5	C6	C7	C0	C1	C2	C3
STM1 #3	D4	D5	D6	D7	D0	D1	D2	D3

Tabella 1

viene ottenuta, tramite multiplazione bitwise di dette quattro trame STM-1 la seguente trama di dati TRM1, rappresentata in tabella 2:

A7	B7	C7	D7	A6	B6	C6	D6	...
----	----	----	----	----	----	----	----	-----

Tabella 2

Dunque gli elementi base di una trama TRM1 in uscita dalla scheda periferica PD sono trame STM-1 e su ogni connessione possono essere portati 4 tributari di tipo AU-4 più alcuni bytes di SOH, per funzioni dell'apparato.

I bytes SOH sono individuali per ogni trama STM-1, mentre nel caso di trame di tipo STM-4 o STM-16, solo la prima trama STM-1 verrà mappata, mentre i bytes senza significato saranno posti tutti a zero.

La trama dati TRM1 ha il seguente formato, dove alcuni dei bytes sono sovrascritti come descritto in tabella 3.

In detta trama TRM1 i bytes indicati in tabella 3 hanno i seguenti significati:

Ing. Giorgio Crovini
Grafico



- A1,A2='F6'H,'28'H parole di allineamento di trama
- SY=byte di sincronismo, comportante un sincronismo di un secondo per la gestione di allarmi e prestazioni del sistema; detto byte, usualmente costituito tutto da zeri, assume il valore "00000001" una volta al secondo. E' fornito dalle schede centrali CB1, CB2 e interpretato dalle schede periferiche PD, in questo modo scaricando su di esse l'onere computazionale. Nella direzione dalle schede periferiche PD alle schede centrali CB1 e CB2 è invece tutti zeri.

Tabella 3

- H4=contatore di sincronismo multitrauma. Il contenuto di questo byte è un contatore binario da 0 a 15, che viene fornito dalle schede centrali CB1, CB2 e interpretato dalle schede periferiche PD.
- B1= bit di accumulazione della parità, calcolato sulla fila precedente; se la fila precedente non reca un byte B1 (ad esempio è un puntatore AU), viene accumulata la parità di due trame. Il byte ha il formato p p p p p p p p, dove p è il bit di parità accumulato.
- L=byte di monitoraggio della connessione.

Ing. Giorgio Crovini

Mappatura delle trame TRM1 e TRM2 e "in band signalling"

Le trame STM-1 inserite nelle trame dati TRM2 e TRM2 sono gestite prima del riarrangiamento bitwise (bit interleaving) in trasmissione e dopo la decodifica bitwise (de-interleaving) in ricezione.

La seguente tabella 4 rappresenta la mappatura e "in band signalling", cioè l'introduzione di bytes di controllo all'interno della trama senza modifica della banda, di una trama STM-1 trasmessa dalle periferiche PD, in modo da introdurre ulteriori diversi byte di controllo nei differenti layer:

NU	NU	NU	NU	NU	NU	NU	NU	NU	
NU	NU	TP	HP						
AU4 ptr									
			K1				K2	K0	
			K1f				K2f	K0f	KP

Tabella 4

Nella precedente tabella 4 :

-TP è un bit di segnalazione di allarme di banda per la matrice MSP, inserito su tutte le trame STM-1 trasportate, della forma indicata in tabella 5:

Tsf	Tsf	tsd	Tsd	tsf	Tsf	Tsd	Tsd
-----	-----	-----	-----	-----	-----	-----	-----

Tabella 5

- tsf=indicazione di 'signal fail'
- tsd=indicazione di 'signal degrade'
- bytes di protezione APS
- K1,K2=K1 and K2 bytes come provengono dalla linea.

Ing. Giorgio Crovini


Vengono inseriti in ogni primo STM-1 #1 di un flusso STM-N. Tutti gli altri STM-1 recano 0 in tali bytes. Quando viene emessa un'indicazione TSF di signal fail sul ricevitore di linea, verranno trasmessi degli uni in loro luogo.

K0 : è previsto inoltre di trattare anche il byte K0, non previsto dallo standard, che viene inserito in ogni primo STM-1 #1 di un flusso STM-N. Tutti gli altri STM-1 recano 0 in tali bytes.

·K1f, K2f, K0f = detti bytes sono versioni filtrate dei precedenti K0, K1, K2, dalla linea. Sono inseriti in ogni primo STM-1 #1 di un flusso STM-N. Tutti gli altri STM-1 recano 0 in tali bytes. Quando viene emessa un'indicazione TSF di signal fail sul ricevitore di linea, verrà trasmesso il loro ultimo valore valido.

·KP= byte di segnalazione di allarme di banda per il protocollo a K bytes.

E' inserito in ogni primo STM-1 #1 di un flusso STM-N. Tutti gli altri STM-1 recano 0 in tale byte, secondo la forma indicata in tabella 6:

cng	Unc	Tutti zeri
-----	-----	------------

Tabella 6

Cng= indicazione di cambiamento per l'insieme dei bytes K filtrati

Unc=indicazione di inconsistenza per l'insieme dei bytes K filtrati

Il byte HP è previsto in relazione al trasporto di virtual container VC4.

E' un byte atto a segnalare allarme di banda per HPCP (Higher Path Capacity Protection) inseriti in tutti gli AU4 trasportati e assume la forma indicata in tabella 7.

Ptsf	Ptsf	Ptsd	Ptsd	Ttsf	Ttsf	Ttsd	Ttsd
------	------	------	------	------	------	------	------

Tabella 7

·Ptsf: indicazione di 'signal fail' sul path

· Ptsd=indicazione di 'signal degrade' sul path

·Ttsf: indicazione di 'signal fail' tandem

Ing. Giorgio Crovini
george crovini

- Ttsd=indicazione di 'signal degrade' tandem

Nel caso del trasporto di Tributary Units TU in VC4 è prevista l'introduzione di un byte LP di segnalazione di allarme di banda per il LPCP (Lower Path Capacity Protection), da inserirsi in luogo dell'ultimo byte della colonna del puntatore per il TU3, oppure in luogo del byte V4 nel caso di TU2 o TU12.

Il formato del byte LP è quello indicato nella seguente tabella 8

Ptsf	Ptsf	Ptsd	Ptsd	Ttsf	Ttsf	Ttsd	Ttsd
------	------	------	------	------	------	------	------

Tabella 8

- Ptsf: indicazione di 'signal fail' sul path
- Ptsd=indicazione di 'signal degrade' sul path
- Ttsf: indicazione di 'signal fail' tandem
- Ttsd=indicazione di 'signal degrade' tandem

Protocollo di protezione

La protezione 1+1 è implementata per operare automaticamente alle interfacce delle schede periferiche. Ciò viene ottenuto impiegando il byte L.

Ogni scheda periferica PD riceve, tramite le trame TRU1 e TRU2, dei byte L, il cui formato, indicato in tabella 9 è

CF	AV	Tutti zeri
----	----	------------

Tabella 9

CF è il bit di status, che riporta informazioni sullo stato di guasto della scheda sorgente), CF=1 significa guasto della scheda corrispondente.

AV è il bit di disponibilità, che dà informazioni sulla preferenza per la commutazione, al fine di implementare detta commutazione. AV=1 significa che la connessione è disponibile e che viene quindi forzato uno cambio fra la scheda CB1 o CB2 che sopporta il traffico..

Ing. Giorgio Crovini





Le schede periferiche PD in trasmissione pongono a 1 il bit CF se dei guasti vengono percepiti nella scheda e pongono a 0 il bit AV. In ricezione le schede periferiche PD selezionano la scheda CB1 o CB2 secondo una preselezione, quindi, selezionano sulla basi dei guasti rilevati sui dati ricevuti; se non ci sono guasti rilevati selezionano sulla base dei bit CF ricevuti; se tutti i bit CF sono a zero, allora le schede periferiche PD selezionano sulla base dei bit AV. Infine se tutti i bit AV valgono zero o uno, non vi è alcun cambiamento della scheda centrale CB presa come sorgente.

Le schede centrali CB, a loro volta, in trasmissione pongono il bit CF a uno se rilevano un guasto sulla scheda stessa, e attribuiscono il valore zero o uno al bit AV secondo la preselezione, che stabilisce quale scheda centrale CB1 o CB2 sia inizialmente attiva. In trasmissione le schede centrali CB memorizzano i byte L ricevuti.

La selezione sopradescritta da parte delle schede periferiche PD della scheda CB1 o CB2 è eseguita tramite la macchina a stati logici MS rappresentata in figura 2, che riceve i byte L, rispettivamente L1 e L2, provenienti dalle rispettive schede CB1 e CB2 e genera il segnale di selezione SEL opportuno.

Detta macchina a stati logici MS riceve anche un'informazione di allarme AL, che segnala eventuali interruzioni dei segnali di orologio di una o dell'altra scheda CB1 o CB2, oppure perdita dell'allineamento di trama. In entrambi i casi il segnale di selezione SEL viene impostato in modo da trasferire il traffico sulla scheda centrale CB funzionante.

Dunque, riassumendo e chiarendo, il meccanismo di protezione hitless è implementato secondo l'invenzione nella maniera seguente:

- in primo luogo, l'informazione temporale IT, scambiata fra gli orologi locali OL1

Ing. Giorgio Crovini


e OL2 e rappresentata in figura 1, contiene la frequenza del segnale di orologio CKR1 e CKR2, informazione sull'allineamento di trama tramite il rispettivo byte di sincronismo SY, informazione sul sincronismo di multitrama tramite il byte H4, nonché il sincronismo di un secondo. Ne deriva che i segnali di orologio CKR1 e CKR2 sono sincronizzati fra loro, a meno delle incertezze dei circuiti PLL che li agganciano fra loro;

le trame scambiate fra le schede periferiche PD e le schede centrali CB sono ulteriormente allineate per mezzo del blocco di memoria MSA e del rispettivo contatore di offset OCNT, nonché dal circuito di aggancio di fase digitale DPLL che recupera eventuali errori di fase fra i segnali d'orologio, nonché dall'uso di contatori di lettura e scrittura in comune per le memorie elastiche.

Le soluzioni sopramenzionate permettono perciò di adottare sulle schede periferiche PD dei circuiti relativamente semplici per commutare da una scheda centrale CB all'altra, provvedendo cioè un semplice segnale di selezione SEL generato da una macchina a stati MS, che pilota dei normali multiplexer.

Dalla descrizione effettuata risultano pertanto chiare le caratteristiche della presente invenzione, così come chiari risultano i suoi vantaggi.

Il sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo l'invenzione permette vantaggiosamente di diminuire il numero delle connessioni in quanto introduce dei byte di controllo, quali ad esempio i byte di sincronismo o di controllo della protezione direttamente nelle trame, in questo modo evitando di dedicare connessioni ai soli byte di controllo. Un ulteriore contributo alla diminuzione della complessità è dato dalla serializzazione o disposizione bitwise delle trame ad opera dei trasmettitori sia delle schede periferiche sia delle schede centrali. La serializzazione inoltre implica una minore richiesta di potenza alle

Ing. Giorgio Crovini
Giorgio Crovini

schede centrali, che non devono demoltiplicare le trame in ingresso.

Inoltre, vantaggiosamente, il sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo l'invenzione, demanda la fase computazionale alle schede periferiche, riducendo detto carico computazionale e i consumi sul chip della matrice di connessione propriamente detta.

Un ulteriore vantaggio del sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo l'invenzione è costituito dal fatto di non necessitare di circuiti di recupero del segnale d'orologio sulle schede periferiche, in virtù dell'uso di parole di allineamento e di semplici allineatori di trama.

Un ulteriore vantaggio del sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo l'invenzione è costituito dal fatto di implementare degli orologi direttamente sulle schede delle matrici di connessione.

Un ulteriore vantaggio del sistema di interfacciamento perfezionato per reti di telecominicazione a gerarchia sincrona è costituito dal fatto di implementare un meccanismo di 'hitless protection' tramite circuiti relativamente semplici e in buona parte ubicati sulle schede periferiche, in virtù dell'interdipendenza degli orologi locali e del controllo dell'allineamento di trama sulle schede periferiche.

E' chiaro che numerose varianti sono possibili per l'uomo del ramo al sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona descritta come esempio, senza per questo uscire dai principi di novità insiti nell'idea inventiva, così come è chiaro che nella sua pratica attuazione le forme dei dettagli illustrati potranno essere diverse, e gli stessi potranno essere sostituiti con degli elementi tecnicamente equivalenti.

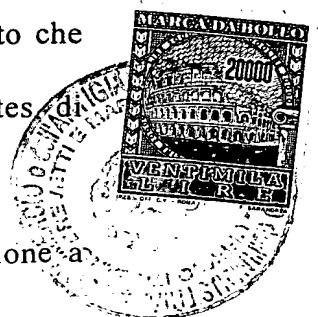
* * * * *

Ing. Giorgio Crovini


RIVENDICAZIONI

1. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona , in particolare reti SDH, del tipo che provvede una funzione di backpanel ad alta frequenza, detto sistema comprendendo almeno una scheda centrale (CM, CB1, CB2) e una o più schede periferiche di ingresso/uscita (PD) atte a scambiarsi trame di dati (TRM1, TRM2, TRU1, TRU2) e bytes di controllo(A1, A2, SY, H4, L) caratterizzato dal fatto che dette trame di dati (TRM1, TRM2, TRU1, TRU2) contengono detti bytes di controllo (A1, A2, SY, H4, L) e che dette trame di dati TRM1, TRM2, TRU1, TRU2) sono convertite in maniera bitwise prima di essere scambiate fra le schede periferiche (PD) e la scheda centrale (CM, CB1, CB2).
2. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo la rivendicazione 1 caratterizzato dal fatto che la scheda centrale (CM, CB1, CB2) comprende un orologio locale (OL1, OL2).
3. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo la rivendicazione 2, caratterizzato dal fatto che detti bytes di controllo (A1, A2, SY, H4, L) comprendono bytes per l'allineamento di trama (A1, A2).
4. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo la rivendicazione 2, caratterizzato dal fatto che detti bytes di controllo (A1, A2, SY, H4, L) comprendono bytes di sincronismo (SY, H4)
5. Sistema di interfacciamento perfezionato per reti di telecomunicazione a

Ing. Giorgio Croxini

gerarchia sincrona secondo la rivendicazione 2, caratterizzato dal fatto che detti bytes di controllo (A1, A2, SY, H4, L) comprendono byte di monitoraggio della connessione e commutazione della scheda attiva (L).

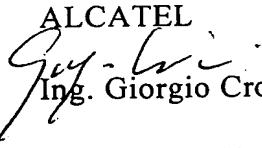
6. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo la rivendicazione 1, caratterizzato dal fatto che sono previsti ulteriori byte di segnalazione (TP, HP, LP) inseriti nei differenti layer di dette trame (TRM1, TRM2) per implementare una funzione di mappatura delle trame (TRM1, TRM2) e "in band signalling".
7. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo le rivendicazioni precedenti, caratterizzato dal fatto che la matrice di connessione (CM) prevede almeno due schede centrali (CB1, CB2), i cui orologi locali (OL1, OL2) sono resi interdipendenti tramite lo scambio di un'informazione temporale (IT).
8. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo la rivendicazione 7, caratterizzato dal fatto che detta informazione temporale (IT) contiene la frequenza di segnali di orologio (CKR1 ,CKR2) degli orologi locali (OL1, OL2) , un'informazione sull'allineamento di trama (SY), informazione sul sincronismo di multitrauma (H4).
9. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo la rivendicazione 7 , caratterizzato dal fatto che le schede periferiche (PD) comprendono mezzi di memoria (MSA, OCNT) per compensare effetti di jitter o wander sull'allineamento di trama.
10. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo le rivendicazioni da 7 a 9, caratterizzato dal fatto

Ing. Giorgio Crovini


che detti mezzi di memoria (MS; OCNT) e detta informazione temporale (IT) concorrono a implementare un meccanismo di protezione hitless del traffico.

11. Sistema di interfacciamento perfezionato per reti di telecomunicazione a gerarchia sincrona secondo gli insegnamenti della presente descrizione e dei disegni annessi.

* * * * *

ALCATEL
p.i. 
Ing. Giorgio Crovini
(No. Iscr. Albo 857B)

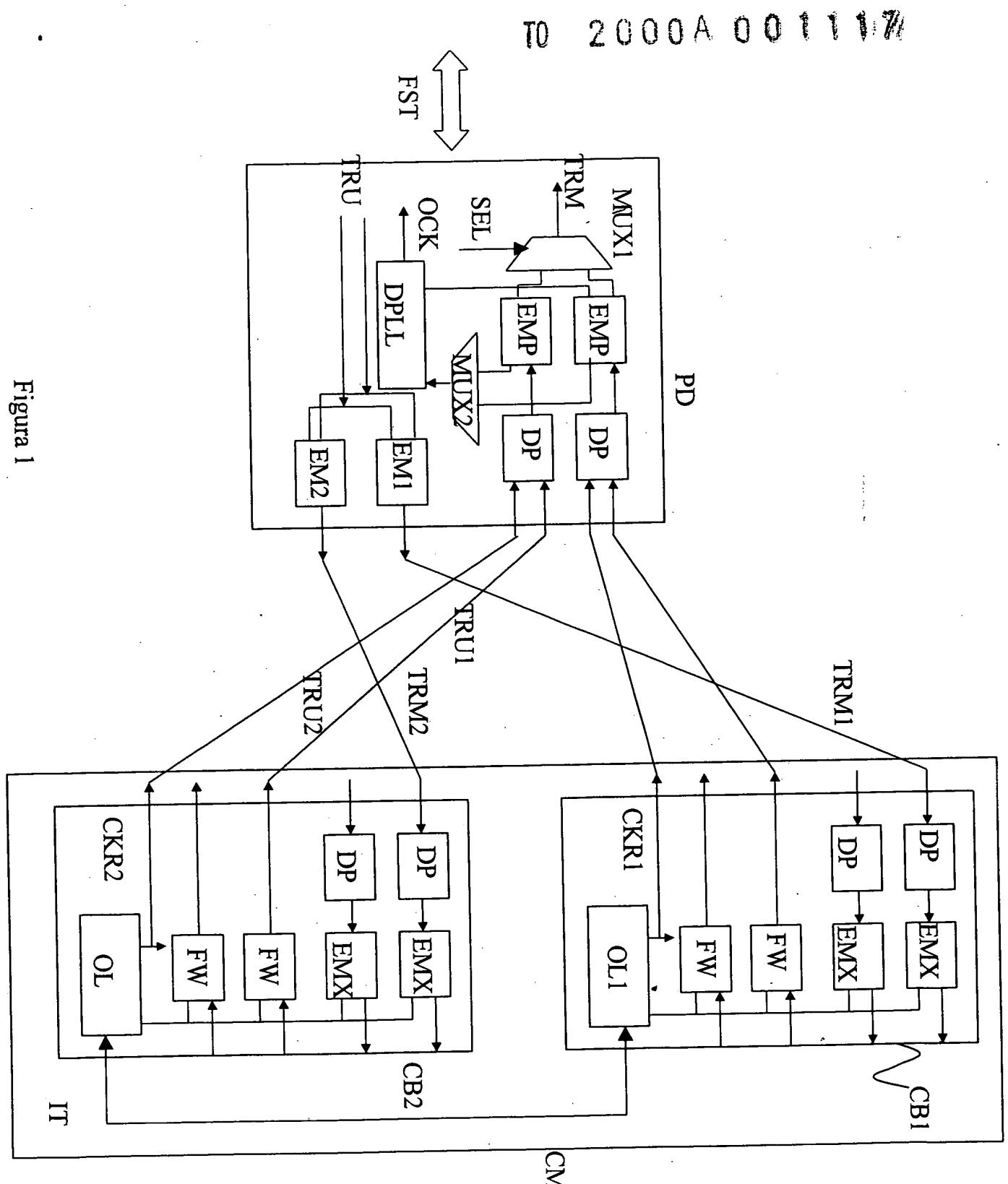


Figura 1

Ing. Giorgio CROVINI
C.R.P. 21000000000000000000000000000000

[Handwritten signature]
G.C.I.A.A.
Torino

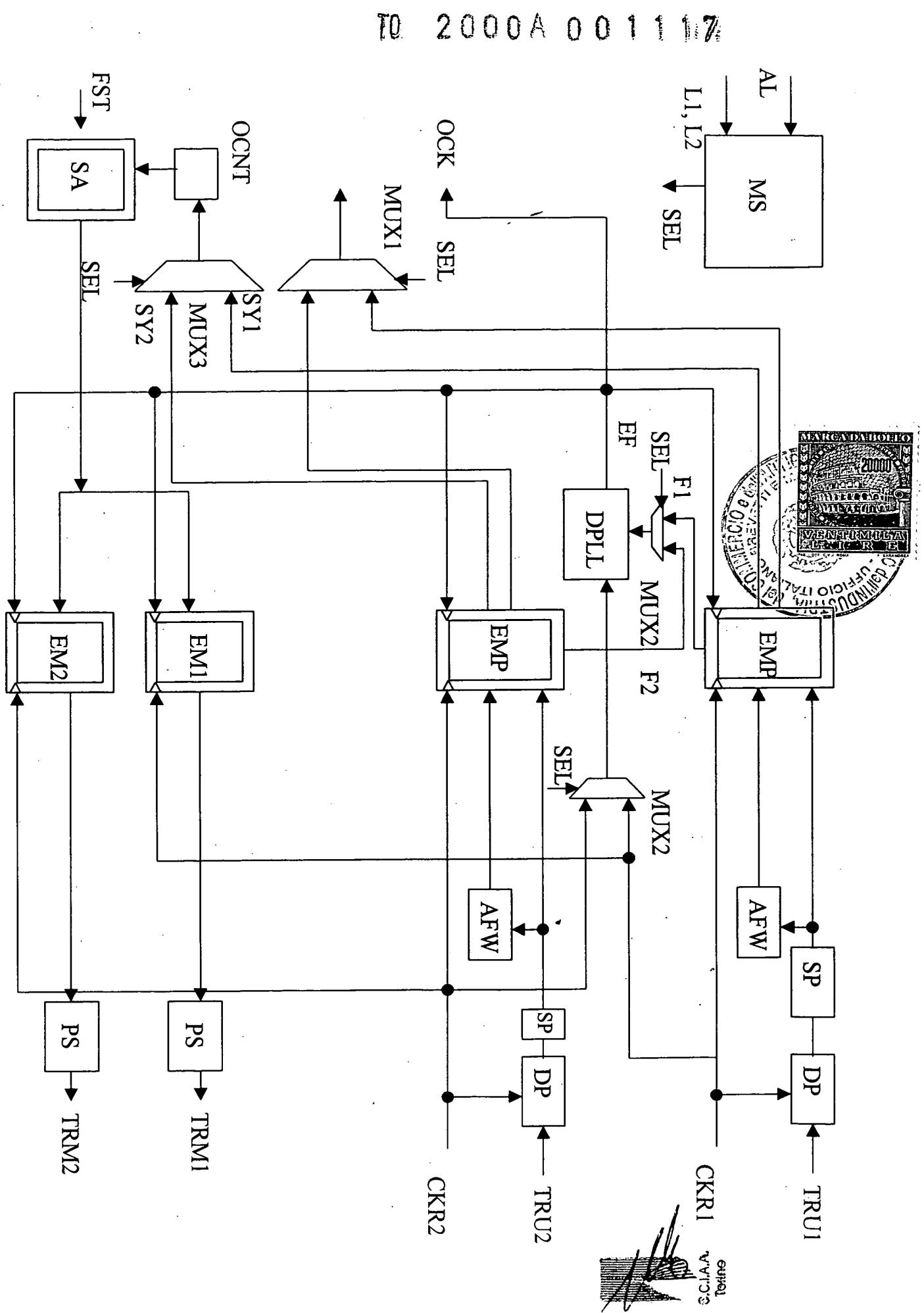


Figura 2

Ing. Giorgio CROVINI

TO 2000A 001117

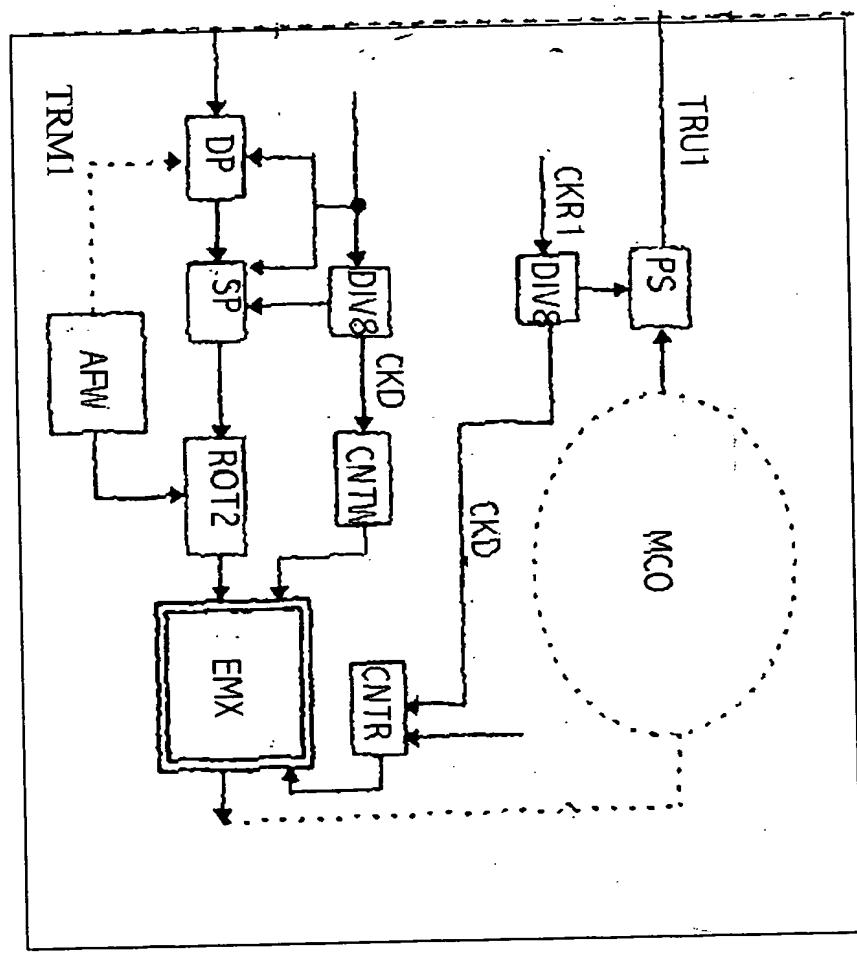


Figura 3

Ing. Giorgio CROVINI

~~C.C.I.A.A.
Torino~~